

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁷
H01P 1/16

(11) 공개번호 특2002-0093613
(43) 공개일자 2002년12월16일

(21) 출원번호 10-2002-0031857
(22) 출원일자 2002년06월07일

(30) 우선권주장 JP-P-2001-00173498 2001년06월08일 일본(JP)
(71) 출원인 삼요 전기 가부시키가이샤
일본 오사카후 토리구치시 제이현 본도오리 2쵸메 5반 5코
(72) 발명자 아사노테츠오
일본군마젠오라궁오이즈미마세후쿠코리106-27
히라이노시게즈
일본군마젠오라궁오이즈미마세요시다986-5
사카키바라미끼요
일본사이타마젠오오사또궁메누마마세쥬오21-1-315
(74) 대리인 정수길
이종희
구영환

본지 청구 없음

(54) 화합물 반도체 스위치 회로 장치

요약

제1 단자(1)와 FET2의 게이트 전극을 접속하고, 제2 단자(2)와 FET1의 게이트 전극을 접속하는 미리 형성의 본리에서, 저항을 교차하여 접속할 필요가 있어, 접 외주에 배치하기 때문에, 전 사이즈가 거치게 되는 문제가 있었다.

공통 연결 단자와 FET 사이에 광범한 2개의 저항을 배치한다. 또한 저항을 n*명 분들을 화상 영역에 형성하고, FET의 일부는 제1 단자와 출력 단자 사이에 배치함으로써, 통상 패턴과 동일 집 시이므로, 미리 스위치 회로를 실현할 수 있다.

도면
도 2

해명의

배드 금속층, 게이트 전극, 소스 전극, 드레인 전극, 채널 영역, 제1 단자, 출력 단자

도면

도 1은 본 발명을 설명하기 위한 회로도.

도 2는 본 발명을 설명하기 위한 평면도.

도 3은 본 발명을 설명하기 위한 평면도.

도 4는 본 발명을 설명하기 위한 단면도.

도 5는 종래예를 설명하기 위한 도면으로, 도 5의 (a)는 단면도, 도 5의 (b)는 회로도.

도 6은 종래예를 설명하기 위한 등가 회로도.

도 7은 종래예를 설명하기 위한 회로도.

도 8은 종래예를 설명하기 위한 평면도.

도 9는 종래예를 설명하기 위한 도면으로, 도 9의 (a)는 평면도, 도 9의 (b)는 단면도.

도 10은 종래예를 설명하기 위한 평면도.

< 도면의 주요 부분에 대한 부호의 설명 >

C11-1, C11-2 : 제1 커패시터

OUT-1, OUT-2 : 출력 단자

IN : 입력 임의 전지

12 : 제1 입력

13 : 스위치 전압

15 : 트랜지스터

17 : 제2 입력

30 : 커패시터

본 발명의 상세한 설명

본 발명의 구성

본 발명의 구성은 다음과 같다. 본 발명의 구성은 다음과 같다.

본 발명의 구성은 다음과 같다. 본 발명의 구성은 다음과 같다.

본 발명은, 특히, 고주파 스위칭 회로에 이용되는 회로를 반도체 스위치 회로 장치, 특히 2.4GHz 대역에서 이용하는 회로 반도체 스위치 회로 장치에 관한 것이다.

휴대 전화 등의 이동체를 통신 기기에서는, On-chip의 마이크로파를 사용하고 있는 경우가 많고, 안테나의 진한 회로나 송수신의 진한 회로 등에, 이들 고주파 신호를 전환하기 위한 스위치 소자가 이용되는 경우가 많다(예를 들면, 특허명 9-181642호). 이 소자로서는, 고주파를 취급하기 때문에 갈륨-비소(GaAs)를 이용한 설계 효과 트랜지스터(이하 FET라고 함)를 사용하는 경우가 많고, 이에 따라 상기 스위치 회로 자체를 집적화한 모놀리식 마이크로파 집적 회로(MMIC)의 개발이 진행되고 있다.

도 5의 (a)는 GaAs FET의 단면도를 도시하고 있다. 반도체 GaAs 기판(1)의 표면 부분에 N형 불순물을 도핑하여 N형의 채널 영역(2)을 형성하고, 채널 영역(2) 표면에 쇼트키 접촉하는 게이트 전극(3)을 배치하며, 게이트 전극(3)의 양측에는 GaAs 표면에 오믹 접촉하는 소스-드레인 전극(4, 5)을 배치한 것이다. 이 트랜지스터는, 게이트 전극(3)의 전위에 의해 바로 아래의 채널 영역(2) 내에 공핍층을 형성하여, 소스 전극(4)과 드레인 전극(5) 사이의 채널 전압을 제어한다.

도 5의 (b)는, GaAs FET를 이용한 SPDY(Single Pole Double Throw)라고 하는 회로를 반도체 스위치 회로 장치의 원리적인 회로도를 도시하고 있다.

제1 FET 및 제2 FET의 소스(또는 드레인)가 공통 입력 단자 IN에 접속되고, 각 FET1, FET2의 게이트가 각각 R1, R2를 통해 제1 제어 단자 Ctl-1 및 제2 제어 단자 Ctl-2에 접속되며, 그리고 각 FET의 드레인(또는 소스)이 제1 출력 단자 OUT1 및 제2 출력 단자 OUT2에 접속된 것이다. 제1 제어 단자 Ctl-1 및 제2 제어 단자 Ctl-2에 인가되는 신호는 상보 신호이고, 이 레벨의 신호가 인가된 FET가 ON 상태로 되어, 입력 단자 IN에 인가된 신호를 어느 쪽이든 출력 단자의 출력 단자에 전달하게 되어 있다. 저항 R1, R2는 교류 커플러 되는 제어 단자 Ctl-1, Ctl-2의 직류 전위에 대하여 게이트 전극을 통해 고주파 신호가 누출되는 것을 방지할 목적으로 배치되어 있다.

이러한 회로를 반도체 스위치 회로 장치의 등가 회로도도 도 6에 도시한다. 마이크로파에서는 특성 임피던스 50Ω을 기준으로 하며, 각 단자의 임피던스는 $R1=R2=R3=50\Omega$ 저항으로 표시된다. 또한, 각 단자의 전위를 V1, V2, V3으로 하면 삽입 손실(Insertion Loss) 및 아이솔레이션(Isolation)은 이하의 식으로 표현된다.

$$\text{Insertion Loss} = 20 \log(V2/V1) [\text{dB}]$$

이것은 공통 입력 단자 IN으로부터 출력 단자 OUT2로 신호를 전송했을 때의 삽입 손실이고,

$$\text{Isolation} = 20 \log(V3/V1) [\text{dB}]$$

이것은 공통 입력 단자 IN으로부터 출력 단자 OUT2 사이의 아이솔레이션(Isolation)이다. 회로를 반도체 스위치 회로 장치에서는 정기적인 삽입 손실(Insertion Loss)을 가능한 한 적게 하고, 아이솔레이션(Isolation)을 향상시키는 것이 요구되며, 신호 경로에 격렬로 삽입되는 FET의 설계가 중요하다. 이 FET로서 GaAs FET를 이용하는 이유는 GaAs쪽이 Si보다 전자 이동도가 높기 때문에 저항이 적어 저손실화가 보이며, GaAs는 발진인장 기판이기 때문에 신호 경로 사이의 코어 아이솔레이션화에 적합하기 때문이다. 그 반면, GaAs 기판은 Si에 비해 비싸고, PIN 다이오드와 같이 두꺼운 것이 Si로 이루어지면 비용 경쟁에서 뒤처게 된다.

이러한 회로를 반도체 스위치 회로 장치에서는, FET의 채널 영역(2)의 채널 R이

$$R = 1 / \mu n q S I_G$$

e: 전자 전하량(1.6×10^{-19} C/cm)

n: 전자 캐리어 농도

μ : 전자 이동도

S: 채널 영역의 단면적(cm^2)

으로 표현되기 때문에, 지향 R을 가능한 한 작게 하기 위해 채널 폭을 가능한 한 크게 설계하여, 채널 영역의 단면적을 확보하여 삽입 손실(Insertion Loss)을 작게 하였다.

이 때문에 게이트 전압(3)에서 형성되는 쇼트키 접촉에 의한 용량 성분이 커져, 이것으로부터 고주파의 입력 신호가 누설되어 아이솔레이션(Isolation)을 악화시킨다. 이것을 피하기 위해 션트(Shunt) FET를 설치하여, 아이솔레이션(Isolation)의 개선을 도모하였지만, 집 사이즈가 크고 비용이 크기이기 때문에, 설치관과 같은 입자의 집으로 치환이 진행되어, 시정을 잃어버리는 결과를 초래하고 있었다.

그래서, 션트 FET를 생략하여 접의 구조를 실현한 스위칭 회로가 개발되고 있다.

도 7은, 게이트 폭 600 μm 의 화합물 반도체 스위치 회로 장치를 도시하는 회로도이다. 제1 FET1과 제2 FET2의 소스 전극(혹은 드레인 전극)이 공통 입력 단자 IN에 접속되며, FET1 및 FET2의 게이트 전극이 각각 저항 R1, R2를 통해 제1 제어 단자 C1-1 및 제2 제어 단자 C1-2에 접속되고, 그리고 FET1 및 FET2의 드레인 전극(혹은 소스 전극)이 제1 출력 단자 OUT1 및 제2 출력 단자 OUT2에 접속된 것이다. 제1 제어 단자 C1-1 및 제2 제어 단자 C1-2에 인가되는 제어 신호는 상호 신호이고, 11 레벨의 신호가 인가된 측의 FET가 ON 상태로 되어, 공통 입력 단자 IN에 인가된 입력 신호를 어느 쪽인지 한쪽의 출력 단자로 전달하도록 되어 있다. 저항 R1, R2는, 교류 접지코 되는 제어 단자 C1-1, C1-2의 커패시턴스에 대하여 게이트 전압을 통해 고주파 신호가 누출되는 것을 방지할 목적으로 배치되어 있다.

도 7에 도시한 회로는, 도 5의 (b)에 도시한 GaAs FET를 이용한 SPDT(Single Pole Double Throw)라고 하는 화합물 반도체 스위치 회로 장치의 원리적인 회로 구성이며, FET1 및 FET2의 게이트 전극의 게이트 폭 W_g 는 600 μm 로 설계되어 있다. 게이트 폭 W_g 를 종래의 것에 비해 작게 하는 것은 FET의 온 저항을 크게 하는 것을 의미하고, 또한 게이트 전극의 면적($L_g \times W_g$)이 작아짐으로써 게이트 전극과 채널 영역과의 쇼트키 접합에 의한 기생 용량이 작아지는 것을 의미하므로, 회로 동작 상에서는 큰 차이가 생긴다.

도 8은 이 화합물 반도체 스위치 회로 장치를 집적화한 화합물 반도체 칩의 일례를 나타내고 있다.

GaAs 기판에 스위치를 행하는 FET1 및 FET2를 중앙부에 배치하고, 각 FET의 게이트 전극에 저항 R1, R2가 접속되어 있다. 또한 공통 입력 단자 IN, 출력 단자 OUT1, OUT2, 제어 단자 C1-1, C1-2에 대응하는 패드가 기판의 주변에 형성되어 있다. 또한, 칩선으로 도시한 제2층에의 배선은 각 FET의 게이트 전극 형성 시에 동시에 형성되는 게이트 금속층(Ti/Pt/Au)(20)이고, 칩선으로 도시한 제3층에의 배선은 각 소자의 금속 및 패드의 형성을 행하는 패드 금속층(Ti/Pt/Au)(30)이다. 제1층에의 기판에 오믹 접속하는 오믹 금속층(AuGe/Ni/Au)(10)은 각 FET의 소스 전극, 드레인 전극 및 각 저항 양단의 양측 전극을 형성하는 것으로, 도 8에서는 패드 금속층과 중첩되므로 도시되어 있지 않다.

도 8으로부터 명백해진 바와 같이, 구성 부품은 FET1, FET2, 저항 R1, R2, 공통 입력 단자 IN, 출력 단자 OUT1, OUT2, 제어 단자 C1-1, C1-2에 대응하는 패드만으로, 션트 FET를 채용한 화합물 반도체 스위치 회로 장치에 비해, 최소 구성 부품으로 구성되어 있다.

또한 이 반도체 장치의 특징적인 점은, FET1(FET2도 동일함)의 게이트 폭을 600 μ m로 형성했기 때문에, 칩 사이즈를 작게 할 수 있다. 즉, 도 8에 도시한 FET1은 일직선으로 둘러싸인 장방형의 채널 영역(12)에 형성된다. 하측으로부터 일장되는 빔상 형성의 3개의 제3층체의 페드 금속층(30)이 중력 단차 OUT1에 접속되는 소스 전극(13)(혹은 드레인 전극)이고, 이 아래에 제1층체 오믹 금속층(10)으로 형성되는 소스 전극(14)(혹은 드레인 전극)이 있다. 또한 상측으로부터 일장하는 빔상 형성의 3개의 제3층체의 페드 금속층(30)이 공동 입력 단자 IN에 접속되는 드레인 전극(15)(혹은 소스 전극)이고, 이 아래에 제1층체의 오믹 금속층(10)으로 형성되는 드레인 전극(14)(혹은 소스 전극)이 있다. 이 빔 상단을 빔상을 맞물리게 한 형성으로 배치되며, 그 사이에 제2층체의 게이트 금속층(20)으로 형성되는, 게이트 전극(17)이 채널 영역(12) 상에 4개의 빔상 형성으로 배치되어 있다. 또한, FET1과 FET2가 상측으로부터 일장되는 한가운데의 빔상 형성의 드레인 전극(13)(혹은 소스 전극)을 공유하고 있어, 더욱 소형화에 기여하고 있다. 여기서, 게이트 폭이 600 μ m라는 의미는 각 FET의 빔상 형성의 게이트 전극(17)의 게이트 폭의 중첩이 적각 600 μ m인 것을 의미한다.

1) 전과, 실기화 회로를 반도체 칩의 사이즈는 0.37 \times 0.30mm 이내로 할 수 있다. 이것을 선택 FET를 이용하는 경우의 화합물 반도체 칩 사이즈에 비해 1/5로 축소할 수 있는 것을 의미한다.

도 9의 (a)에 도 8에 도시한 FET1의 부분을 확대한 평면도를 도시한다. 이 도면에서, 일직선으로 둘러싸인 장방형의 영역이 기판(11)에 형성되는 채널 영역(12)이다. 좌측으로부터 일장되는 빔상 형성의 4개의 제3층체의 페드 금속층(30)이 중력 단차 OUT1에 접속되는 소스 전극(13)(혹은 드레인 전극)이고, 그 아래에 제1층체 오믹 금속층(10)으로 형성되는 소스 전극(14)(혹은 드레인 전극)이 있다. 또한 우측으로부터 일장되는 빔상 형성의 4개의 제3층체의 페드 금속층(30)이 공동 입력 단자 IN에 접속되는 드레인 전극(15)(혹은 소스 전극)이고, 그 아래에 제1층체의 오믹 금속층(10)으로 형성되는 드레인 전극(16)(혹은 소스 전극)이 있다. 이 양 전극은 빔상을 맞물리게 한 형성으로 배치되며, 그 사이에 제2층체의 게이트 금속층(20)으로 형성되는 게이트 전극(17)이 채널 영역(12) 상에 빔상 형성으로 배치되어 있다.

도 9의 (b)에 이 FET의 일부의 단면도를 도시한다. 기판(11)에는 n형의 채널 영역(12)과 그 양측에 소스 영역(18) 및 드레인 영역(19)을 형성하는 n⁺형의 불순물 확산 영역이 설치되고, 채널 영역(12)에는 게이트 전극(17)이 설치되며, 불순물 확산 영역에는 제1층체의 오믹 금속층(10)으로 형성되는 드레인 전극(14) 및 소스 전극(16)이 설치된다. 또한 그 위에 실용한 비와 같이 3층체의 페드 금속층(30)으로 형성되는 드레인 전극(13) 및 소스 전극(15)이 설치되어, 각 소자의 매진 등을 행하고 있다.

이 스위칭 회로에 관해서는, 2.4GHz 이상의 고주파수대에서는 삽입 손실(Insertion Loss)의 악화는 미약하고, 아이솔레이션(Isolation)은 FET의 기생 용량에 의존하여 개선되는 것을 알 수 있으므로, 아이솔레이션을 우선하여 설계함으로써, 600 μ m의 게이트 폭 Wg이면 18dB 이상의 아이솔레이션(Isolation)을 확보한다.

도 8에 전체의 페팅을 도시한 화합물 반도체 스위칭 회로 장치에서는, FET1 및 FET2의 게이트 길이 Lg는 0.5 μ m, 게이트 폭 Wg는 600 μ m로 설계하여, 삽입 손실(Insertion Loss)을 0.65dB, 아이솔레이션(Isolation)을 18dB 확보한다. 이 특징은 블루투스(Bluetooth)(휴대 전화, 노트북, 휴대 정보 단말, 디지털 카메라, 기타 주변 기기를 무선으로 상호 접속하여, 이동 전화, 미쓰시 전기 등을 향상시키는 통신 사양)을 포함하는 2.4GHz대 ISMBand(Industrial Scientific and Medical frequency band)를 사용한 스크램블 확산 통신의 응용 분야에서의 RF 스위치로서 채용되는 것이다.

현재에는 실리콘 반도체 칩의 성능 향상도 매우 빨라, 고주파대에서의 이용 가능성이 높아지고 있다. 종래에는 실리콘 칩은 고주파대에서의 이용이 어려웠. 고가의 화합물 반도체 칩이 이용되었지만, 실리콘 반도체의 이용 가능성이 높아지면, 당연히 웨이퍼 가격이 높은 화합물 반도체 칩은 가격 경쟁에서 뒤처지게 된다. 이 때문에 칩 사이즈를 축소하여 비용을 억제할 관념성이 있으므로, 칩 사이즈의 차이는 불가피하다.

방법에 이르기까지 하는 기술적 과정

이와 같이 제1 FET를 제작하고, 또한 게이트 폭을 $600\mu\text{m}$ 로 함으로써, 접 사이저를 대폭 좁잡하는 것이 가능하게 되었다. 도 8에 도시한 스위치 회로의 논리에서는, 출력 단자 OUT1에 신호를 통과시킬 때는 출력 단자 OUT1에 가까운 제1 단자 C1-1에 예를 들면 3V를, 제1 단자 C1-2에 0V를 인가하고, 반대로 출력 단자 OUT2에 신호를 통과시킬 때는 출력 단자 OUT2에 가까운 제1 단자 C1-2에 3V, C1-1에 0V의 마이너스 신호를 인가하고 있다.

그러나, 사용자의 요구에 따라서는, 그 반대의 논리를 조합할 필요도 있다. 즉 출력 단자 OUT1에 신호를 통과시킬 때는 출력 단자 OUT1로부터 먼 제1 단자 C1-2에 예를 들면 3V, 제1 단자 C1-1에 0V를 인가하고, 반대로 출력 단자 OUT2에 신호를 통과시킬 때는 출력 단자 OUT2로부터 먼 제1 단자 C1-1에 3V, C1-2에 0V의 마이너스 신호를 인가하는 논리이며(이것을 이하 미러 타입 스위치 회로라고 한다). 이 경우에는 접 상에서 면적이 증가되게 된다.

도 10은, 도 8에 도시한 회로를 반도체 스위치 회로 장치의 미러 타입의 스위치 회로를 집적화한 회로를 반도체 칩의 일례를 나타내고 있다.

GaAs 기판에, 스위치를 행하는 FET1 및 FET2를 중앙부에 배치하고, 각 FET의 게이트 전극에 저항 R1, R2가 접속되어 있다. 또한 공통 입력 단자 IN, 출력 단자 OUT1, OUT2, 제1 단자 C1-1, C1-2에 대응하는 페도기 기판의 주변부에 FET1 및 FET2의 주위에 설치되어 있다. 또한, 집선으로 나타낸 제2층에의 배선은 각 FET의 게이트 전극 형성시에 동시에 형성되는 게이트 금속층(Ti/Pt/Au)(20)이고, 집선으로 나타낸 제3층에의 배선은 기 소자의 접속 및 패드의 형성을 행하는 페도 금속층(Ti/Pt/Au)(30)이다. 제1층에의 기판에 오믹 접속하는 오믹 금속층(AuGe/Ni/Au)(10)은 각 FET의 소스 전극, 드레인 전극 및 각 저항 양단의 인출 전극을 형성하는 것으로, 도 10에서는 페도 금속층과 중첩되도록 도시되어 있지 않다.

FET1의 게이트 전극과 제1 단자 C1-2는 저항 R1로 접속되고, FET2의 게이트 전극과 제1 단자 C1-1은 저항 R2로 접속되는 미러 타입으로 되어 있으며, 이 접속을 위해 저항 R1 및 저항 R2는 칩의 외주를 따라 배치된다.

칩의 내부에는 공통 입력 단자 IN, 제1 단자 C1-1 및 C1-2, 또는 출력 단자 OUT1 및 OUT2에 대응하는 페도가 배치되어 있다. 도 8에 도시한 스위치 회로의 패턴 레이아웃으로부터 미러 타입의 논리의 회로도 레이아웃을 변경한다고 하면 칩 내부에는 여유가 없기 때문에, 칩 외주를 따라 저항을 배치하게 된다. 그러나, 이 배치에 의하면, 칩의 노면형(파우)으로 작지 $25\mu\text{m}$, Y 방향으로 $50\mu\text{m}$ 가 확대되게 되어, 그 반대로 접 사이저가 증대되게 된다.

그러나, 실용면의 비와 같이, 실리온 집과의 가격 경쟁에서 이기기 위해서는, 회로를 반도체 칩의 접 사이저를 축소하여 비용을 억제할 필요성이 있으므로, 접 사이저의 직잡은 불가피하였다.

방법의 구성 및 효과

본 발명은 실용한 제반 사항을 감안하여 이루어진 것으로, 제1층 표면에 소스 전극, 게이트 전극 및 드레인 전극을 설치한 제1 및 제2 FET를 형성하고, 일 FET의 소스 전극 혹은 드레인 전극을 공통 입력 단자로 하며, 상기 일 FET의 드레인 전극 혹은 소스 전극에 접속된 제1 및 제2 출력 단자와, 상기 양 FET의 게이트 전극에 접속된 제1 및 제2 게이트 단자를 갖고, 상기 제1 출력 단자, 제1 단자용 페드는 상기 제1 FET의 주위에 배치되며, 상기 제2 출력 단자, 제1 단자용 페드는 상기 제2 FET의 주위에 배치되고, 상기 양 FET의 게이트 전극에 제1 신호를 인가하여 이 신호의 FET를 도통시키는 공통 입력 단자와 상기 제1 및 제2 출력 단자 중 어느 한쪽과 신호 경로를 형성하는 회로를 반도체 칩에서 회로 집적에 있어서, 상기 제1 FET의 게이트 전극과 상기 제2 게이트 단자를 접속하는 제1 직행과, 상기 제2 FET의 게이트 전극과 상기 제1 게이트 단자를 접속하는 제2 직행을, 상기 공통 입력 단자로 되는 페드와, 상기 양 FET와의 사이에 배치하는 것을 특징으로 하며, 2개의 FET에 접속되는 2개의 직행을 공통 입력 단자와 양 FET 사이에 배치함으로써, 접 사이저가 선적하게 증가되는 것을 억제한 반대의 스위치 회로 장치를 실현할 수 있다.

< 실시예 >

이하에 본 발명의 실시예에 대하여 도 1 내지 도 4를 참조하여 설명한다.

도 1은 본 발명의 화합물 반도체 스위치 회로 장치를 도시한 회로도이다. 제1 FET1과 제2 FET2의 소스 전극(혹은 드레인 전극)이 공통 입력 단자 IN에 접속되며, FET1 및 FET2의 게이트 전극이 각각 저항 R1, R2를 통해 제1 제어 단자 Ctl-2 및 제1 제어 단자 Ctl-1에 접속되며, 그리고 FET1 및 FET2의 드레인 전극(혹은 소스 전극)이 제1 출력 단자 OUT1 및 제2 출력 단자 OUT2에 접속된 것이다. 제1 제어 단자 Ctl-1 및 제2 제어 단자 Ctl-2에 인가되는 제어 신호는 상호 신호이고, H 레벨의 신호가 인가된 측의 FET가 ON 상태로 되어, 공통 입력 단자 IN에 인가되는 입력 신호를 어느 쪽인지 한쪽의 출력 단자에 전달하도록 되어 있다. 저항 R1, R2는, 교류 전압으로 되는 제어 단자 Ctl-1, Ctl-2의 좌측 전위에 대하여 게이트 전압을 통해 고주파 신호가 투과되는 것을 방지할 목적으로 배치되어 있다.

도 1에 도시한 회로는, 도 5의 (b)에 도시한 GaAs FET를 이용한 SPDT(Single Pole Double Throw)라고 하는 화합물 반도체 스위치 회로 장치의 비터 타입의 논리 패턴의 회로 구성으로, 제어 단자 Ctl-1은 FET2의 게이트 전극에 접속되며, 제어 단자 Ctl-2는 FET1의 게이트 전극에 접속된다.

이 스위치 회로의 논리에서는, 출력 단자 OUT1에 신호를 통과시킬 때는 출력 단자 OUT1로부터 인 제어 단자 Ctl-2에 예를 들면 3V, 제어 단자 Ctl-1에 0V를 인가하고, 반대로 출력 단자 OUT2에 신호를 통과시킬 때는 출력 단자 OUT2로부터 인 제어 단자 Ctl-1에 3V, Ctl-2에 0V의 바이어스 신호를 인가하고 있다.

도 2는, 본 발명의 제1 실시예인 비터 타입의 화합물 반도체 스위치 회로 장치를 집적화한 화합물 반도체 칩의 일례를 나타내고 있다.

GaAs 기판에, 스위치를 행하는 FET1 및 FET2를 중앙부에 배치하고, 각 FET의 게이트 전극에 저항 R1, R2가 접속되어 있다. 또한 공통 입력 단자 IN, 출력 단자 OUT1, OUT2, 제어 단자 Ctl-1, Ctl-2에 대응하는 패드가 기판의 주변에서 FET1 및 FET2의 주위에 각각 형성되어 있다. 또한, 절선으로 나타낸 제2층의 배선은 각 FET의 게이트 전극, 필살 사에 동시에 형성되는 게이트 금속층(Ti/Pt/Au)(20)이고, 절선으로 나타낸 제3층의 배선은 각 소자의 금속 및 패드의 일부를 행하는 제1 금속층(Ti/Pt/Au)(30)이다. 제1층의 기판에 오믹 접속하는 오믹 금속층(Au/GaN/Au)(10)은 각 FET의 소스 전극, 드레인 전극 및 각 저항 양단의 인출 전극을 형성하는 것으로, 도 2에서는 제1 금속층과 중첩되도록 도시되어 있지 않다.

FET1의 게이트 전극과 제어 단자 Ctl-2는 저항 R1로 접속되며, FET2의 게이트 전극과 제어 단자 Ctl-1은 저항 R2로 접속되며 비터 타입으로 되어 있다. 저항 R1 및 저항 R2는, 양 FET로부터 연장되어 공통 입력 단자에 접속되는 전극과 접지력을 통해 묘사하여 형성된 n⁺형 불순물 확산 영역이다.

도 2로부터 명백해진 바와 같이, 구성 부품은 FET1, FET2, 저항 R1, R2, 공통 입력 단자 IN, 출력 단자 OUT1, OUT2, 제어 단자 Ctl-1, Ctl-2에 대응하는 패드만으로, 회로 구성 부품으로 구성되어 있다. 여기에 도시한 FET1(FET2)도 미친가지런은 일체형으로 둘러싸인 정방형의 제1 영역(12)에 형성된다. 하측으로부터 인접되는 맞상 평상의 3개의 제3층의 패드 금속층(30)이 출력 단자 OUT1에 접속되는 소스 전극(13)(혹은 드레인 전극)이고, 그 아래에 제1층에 오믹 금속층(10)으로 형성되는 소스 전극(14)(혹은 드레인 전극)이 있다. 또한 상측으로부터 인접되는 맞상 평상의 3개의 제3층의 패드 금속층(30)이 공통 입력 단자 IN에 접속되는 드레인 전극(15)(혹은 소스 전극)이고, 그 아래에 제1층의 오믹 금속층(10)으로 형성되는 드레인 전극(14)(혹은 소스 전극)이 있다. 이 양 전극은 맞상을 맞물리게 한 일체형으로 배치되며, 그 사이에 제2층의 게이트 금속층(20)으로 형성되는 게이트 전극(17)이 제1 영역(12) 상에 1개의 맞상 일체형으로 배치되어 있다. 또한, FET1과 FET2가 상측으로부터 인접되는 한기호대의 맞상 평상의 드레인 전극(13)(혹은 소스 전극)을 공용하고 있다.

또한, 여러 타입의 스위치 회로로 하기 위해 연장되는 저항 R1 및 R2를 접의 내부에 배치함으로써, 외주를 따라 배치한 경우와 비교하여, X 방향의 접의 확대를 억제할 수 있어, 접 사이즈의 증가를 Y 방향으로 억제할 수 있다.

도 3에는, 본 발명의 제2 실시예인 여러 타입의 스위치 회로 장치를 집적화한 회로를 반도체 스위치 회로 장치의 일례로 나타낸다.

이 제2 실시예는, 저항 R1 및 R2를, 공동 입력 단자 IN과 양 FET와의 사이에 결합하게 배치하고 있으나, 양 FET1, FET2를 Y 방향으로 축소하여, 게이트 폭을 확보하기 위해 일부용 제어 단자 C0-1, C0-2 및 출력 단자 OUT1, OUT2에 대응하는 패드의 사이에 형성함으로써, 양 지점이 배치되는 영역을 확보하는 것이다.

각 구성 요소의 설명에 대해서는, 도 2와 마찬가지로 하기 때문에 생략하지만, 크게 다른 점은, 각 FET의 패턴을 변경하여, 제어 단자 및 출력 단자 패드 사이에 FET의 소스, 드레인 및 게이트 전극의 일부를 배치한 것에 있다. 이에 따라, 도 2에 도시한 FET와 동일인 게이트 폭으로, Y 방향으로 축소되고, X 방향으로 확대된 FET로 되기 때문에, 공동 입력 단자 IN 및 양 FET 사이에 스페이스를 확보할 수 있다.

FET1의 게이트 전극과 제어 단자 C0-2는 저항 R1에 접속되고, FET2의 게이트 전극과 제어 단자 C0-1은 저항 R2에 접속된다. 저항 R1 및 저항 R2는, 양 FET로부터 연장되어 공동 입력 단자에 접속되는 선과 교차되어 형성되며, 공동 입력 단자에 대응하는 패드와 양 FET 사이의 스페이스에 병행하게 배치된다.

도 4에는 도 3의 A-A선의 단면도를 도시한다. 이것은, 저항 R1 및 R2와 공동 입력 단자에 접속되는 전극과의 교차부이다. 기판(11)에 저항 R1, R2와 되는 n^+ 형 불순물 확산 영역(40)(도 3에서는 열점체현으로 나타냄)이 형성되고, 절연막을 통해, 양 FET의 소스 또는 드레인 전극으로부터 공동 입력 단자 IN으로 연장되는 드레인 선(15)(즉, 소스 전-)과 교차되어 있다. 저항 R1, R2는 기판에 형성된 n^+ 형 불순물 확산 영역으로, FET의 소스 및 드레인 영역 형성과 동시에 형성된다.

또한, 공동 입력 단자 패드, 제어 단자 C0-1 패드, C0-2 패드, 출력 단자 OUT1 패드, OUT2 패드 및 양 FET의 게이트 전극의 주변 단부 아래에도, 열점체현으로 나타낸 바와 같이 n^+ 형 불순물 확산 영역이 형성되어 있다(게이트 전극 주변 단부에서는 게이트 전극과 중첩되어 있어 도시 생략). 여기서 n^+ 형 불순물 확산 영역은 주변 단부뿐만 아니라, 각 패드 및 양 FET의 게이트 전극 바로 아래 선면에 형성되어도 된다. 이들 n^+ 형 불순물 확산 영역은, 소스 및 드레인 영역 형성과 동시에 형성된 것으로, 이들 n^+ 형 불순물 확산 영역 및 저항 R1, R2가 서로 연결하는 부분의 이격 거리는 $4\mu\text{m}$ 이하이다.

이것은, 회로를 반도체 스위치 회로 장치에서 요구되는 아이솔레이션이 20dB 이상이고, 실질적으로 $4\mu\text{m}$ 의 이격 거리와 있으면 20dB 이상의 아이솔레이션을 확보하는 데는 충분하다는 것에 의한 것이다.

이에 따라 논리적인 단기는 부족하지만, 지금까지 반절연성 GaAs 기판을 절연 기판이라고 하고 있기 때문에 내압은 무한대라고 생각되었다. 그러나 실적을 행하면, 내압이 유한하다는 것을 알 수 있다. 이 때문에 반절연성 GaAs 기판 내에서 공극층이 연장되어, 고주파 신호에 따른 공극층 거리의 변화에 의해, 공극층이 연결하는 다른 패턴까지 도달하면 거기에서 고주파 신호의 누설이 발생되는 것으로 생각되었다. 그러나, 연결하는 패턴의 연결하는 측의 주변 단부에 n^+ 형의 불순물 확산 영역을 형성하고, 그 이격 거리를 $4\mu\text{m}$ 이하인, 20dB 이상의 아이솔레이션을 확보하는 데는 충분하다고도 결론을 내었다. 또한, 전지계 시뮬레이션에서도 $1\mu\text{m}$ 정도의 이격 거리를 설정하면 2.40dB에서 40dB 정도의 아이솔레이션이 얻어지는 것을 알 수 있다.

저항 R1 및 R2 또는 각 패드 및 FET의 게이트 전극 주변 단부는 n^+ 형 불순물 확산 영역이기 때문에, 불순물이 도핑되어 있지 않은 기판(11)(반절연성)이지만, 기판 저항치는 $1 \times 10^7 \Omega \cdot \text{cm}$ 정도와 달리, 불순물 농도가 높아진다(이온 종량 295 $\times 10^6 \text{ cm}^{-3}$ 정도는 $1 \sim 5 \times 10^6 \text{ cm}^{-3}$). 이에 따라 각 패드, FET의 배선층인 게이트 전극, 저항으로의 공극층이 연장되지 않기 때문에, 서로 연결하는 이격 거리를 $4\mu\text{m}$ 이하로써 아이솔레이션 20dB는 충분히 확보할 수 있다.

크기와, 본 발명의 화합물 반도체 접의 사이즈는 $0.37 \times 0.30 \mu\text{m}^2$ 이내로 할 수 있었다. 이것은 도 8에 도시한 종래의 동상 레틴의 화합물 반도체 접 사이즈와 동일 사이즈이다.

FET1 및 FET2의 확대도 및 단면 구조는, 도 9에 도시한 종래의 것과 동일하기 때문에, 설명을 생략한다. 또한, 본 발명의 FET에서는, FET 특성이 동일한 FET라도 되며, 채널 영역의 농도 및 가속 전압 등의 채널 형성 조건이나, 게이트 폭이 다른 FET라도 된다.

또한, 각 n^+ 형 불순물 확산 영역은, 소스 및 드레인 영역과 동시에 형성되지 않아도 되며, 각각이 별개의 공정에 의해 형성되어도 된다.

여기 같이, 본 발명의 제1 실시예에 따른 특징은, 동상 레틴의 논리로부터 미리 타워의 논리의 스위치 회로 장치로 레틴 변경하는 경우, 공통 입력 단자와 양 FET 사이에 2개의 저항 R1 및 R2를 배치하는 것이다. 이에 따라, 집 외주를 따라 저항을 배치한 경우와 비교하여, X 방향의 접 사이즈의 확대가 없으므로, Y 방향의 접 사이즈의 확대만으로 억제할 수 있다.

또한, 본 발명의 제2 실시예에 따른 특징은, FET의 레틴을 변경하며, 게이트 단자 및 출력 단자 레드 사이에 FET의 일부를 배치하고, 공통 입력 단자와 양 FET 사이에 평행하게 2개의 저항 R1 및 R2를 배치하는 것이다. FET의 레틴을 변경 시킬 경우로써 게이트 폭 Wg는 그대로이지만 Y 방향의 FET 사이즈를 축소할 수 있어, 공통 입력 단자와 각 FET 사이에는 스페이스를 확보할 수 있다. 이 스페이스에 평행한 2개의 저항 R1, R2를 배치하고, 또한 연결하는 각 구성 부품의 주변 단부에는 n^+ 형 불순물 확산 영역을 형성하여, 이끼 거리를 $4 \mu\text{m}$ 로 함으로써, 도 8에 도시한 동상 논리 레틴의 접 사이즈로, 미리 타워의 스위치 회로 장치를 실현할 수 있게 된다. 도 2에서는, 공통 입력 단자와 양 FET 사이에 2개의 저항을 배치하였기 때문에 Y 방향으로의 확대는 피할 수 없지만, 도 3과 같이 FET의 레틴을 변경함으로써, 공통 입력 단자와 FET 사이에 스페이스를 확보하여, 도 8에 도시한 동상 레틴의 스위치 회로 장치와 동일 접 사이즈로 하는 것이 가능하게 되었다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 이하의 수많은 효과가 얻어진다.

첫번째로, 저항을 공통 입력 단자와 FET 사이에 평행하게 배치함으로써, 집 외주를 따라 배치한 경우와 비교하여, 접 사이즈의 증가가 현저하게 기저지 않는다. 집 외주를 따라 배치하면, X 방향으로도 접 사이즈가 확대되지만, 집 내부에 배치함으로써, Y 방향의 확대만으로 억제된다.

두번째로, FET의 레틴을 변경하며, 게이트 단자와 출력 단자 레드 사이에 α FET의 일부를 배치한다. 즉, Y 방향으로 축소하고, X 방향으로 확대한 FET의 레틴으로 함으로써, FET의 게이트 폭은 그대로인 상태에서, 공통 입력 단자와 FET 사이에 스페이스를 확보할 수 있다. 이 스페이스에 서로 연결하는 구성 부품(서양끼리도 포함함)과 $4 \mu\text{m}$ 의 이끼 거리를 확보하여 실현한 2개의 저항을 배치함으로써, 동상 레틴의 동일 접 사이즈로 미리 스위치 레틴의 스위치 회로 장치를 실현할 수 있다.

세번째로, 상술한 바와 같이 최소 구성 부품과 접 내의 배치의 설계에 의해, 반도체 접 사이즈를 확대시키지 않고 실현할 수 있기 때문에, 실현된 반도체 집과의 가격 경쟁력도 대폭 향상시킬 수 있다. 또한 접 사이즈를 작게 할 수 있기 때문에, 종래의 소형 패키지(MCP 크기 $2.1 \text{mm} \times 2.0 \text{mm} \times 0.9 \text{mm}$)보다 더욱 소형 패키지(SMCP 크기 $1.6 \text{mm} \times 1.6 \text{mm} \times 0.75 \text{mm}$)에 실장할 수 있게 되었다.

네번째로, 본 발명의 화합물 반도체 스위치 회로 장치에서는 선택 FET를 선택하는 단계가 가능해지기 때문에, 구성 부품은 FET1, FET2, 저항 R1, R2, 공통 입력 단자 IN, 출력 단자 OUT1, OUT2, 게이트 단자 G1-1, G1-2에 대응하는 패턴으로 되어, 종래의 화합물 반도체 스위치 회로 장치에 비해, 최소 구성 부품으로 구성할 수 있는 이점을 갖는다.

1571 권도와 분지

청구항 1.

제1층 표면에 소스 전극, 게이트 전극 및 드레인 전극을 형성한 제1 및 제2 FET를 형성하고, 양 FET의 소스 전극 혹은 드레인 전극을 공통 입력 단자로 하며, 상기 양 FET의 드레인 전극 혹은 소스 전극에 접속된 제1 및 제2 출력 단자와, 상기 양 FET의 게이트 전극에 접속된 제1 및 제2 제어 단자를 갖고, 상기 제1 출력 단자, 제어 단자용 패드는 상기 제1 FET의 주위에 배치되며, 상기 제2 출력 단자, 제어 단자용 패드는 상기 제2 FET의 주위에 배치되고, 상기 양 FET의 게이트 전극에 제어 신호를 인가하여 어느 한쪽의 FET를 도통시켜 상기 공통 입력 단자와 상기 제1 및 제2 출력 단자 중 어느 한쪽과 신호 경로를 형성하는 회로를 반도체 스위치 회로 장치에 있어서,

상기 제1 FET의 게이트 전극과 상기 제2 제어 단자를 접속하는 제1 저항과, 상기 제2 FET의 게이트 전극과 상기 제1 제어 단자를 접속하는 제2 저항을, 상기 공통 입력 단자로 되는 패드와, 상기 양 FET와의 사이에 배치하는 것을 특징으로 하는 회로를 반도체 스위치 회로 장치.

청구항 2.

제1항에 있어서,

상기 제1 및 제2 저항은 기판에 분출홀을 확산하여 형성한 고농도 영역인 것을 특징으로 하는 회로를 반도체 스위치 회로 장치.

청구항 3.

제1항에 있어서

상기 고농도 영역은 소스 영역 및 드레인 영역의 확산 영역을 이용하는 것을 특징으로 하는 회로를 반도체 스위치 회로 장치.

청구항 4.

제1층 표면에 소스 전극, 게이트 전극 및 드레인 전극을 형성한 제1 및 제2 FET를 형성하고, 양 FET의 소스 전극 혹은 드레인 전극을 공통 입력 단자로 하며, 상기 양 FET의 드레인 전극 혹은 소스 전극에 접속된 제1 및 제2 출력 단자와, 상기 양 FET의 게이트 전극에 접속된 제1 및 제2 제어 단자를 갖고, 상기 제1 출력 단자, 제어 단자용 패드는 상기 제1 FET의 주위에 배치되며, 상기 제2 출력 단자, 제어 단자용 패드는 상기 제2 FET의 주위에 배치되고, 상기 양 FET의 게이트 전극에 제어 신호를 인가하여 어느 한쪽의 FET를 도통시켜 상기 공통 입력 단자와 상기 제1 및 제2 출력 단자 중 어느 한쪽과 신호 경로를 형성하는 회로를 반도체 스위치 회로 장치에 있어서,

상기 제1 FET의 게이트 전극과 상기 제2 제어 단자를 접속하는 제1 저항과, 상기 제2 FET의 게이트 전극과 상기 제1 제어 단자를 접속하는 제2 저항을, 상기 공통 입력 단자로 되는 패드와, 상기 양 FET와의 사이에 평행하게 배치하는 것을 특징으로 하는 회로를 반도체 스위치 회로 장치.

청구항 5.

제1항에 있어서,

상기 제1 제어 단자 및 제1 출력 단자에 대응하는 패드 사이에 상기 제1 FET의 일부를 배치하고, 상기 제2 제어 단자 및 제2 출력 단자에 대응하는 패드 사이에 상기 제2 FET의 일부를 배치하는 것을 특징으로 하는 회합물 반도체 스위치 회로 장치.

청구항 6.

제4항에 있어서,

상기 제1 및 제2 직방은 기판에 불순물을 확산하여 형성한 고농도 영역인 것을 특징으로 하는 회합물 반도체 스위치 회로 장치.

청구항 7.

제1항에 있어서,

상기 각 패드 주변 단부의 아래 또는 패드 전면의 아래와 상기 양 FET의 배선층 주변 단부의 아래 또는 배선층 전면의 아래에는 다른 일 도전층 불순물을 확산한 고농도 영역을 형성하는 것을 특징으로 하는 회합물 반도체 스위치 회로 장치.

청구항 8.

제1항에 있어서,

상기 모든 고농도 영역이 서로 인접하는 이격 거리는, 소정의 아이솔레이션을 확보할 수 있는 한계치 부근까지 근접하는 것을 특징으로 하는 회합물 반도체 스위치 회로 장치.

청구항 9.

제1항에 있어서,

상기 모든 고농도 영역은 소스 영역 및 드레인 영역의 확산 영역을 이형하는 것을 특징으로 하는 회합물 반도체 스위치 회로 장치.

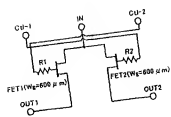
청구항 10.

제1항 또는 제4항에 있어서,

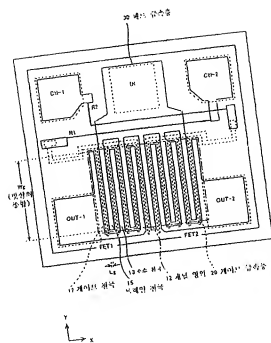
상기 제1 및 제2 직방은 상기 양 FET의 소스 전극 및 드레인 전극으로부터 연장되어 상기 공통 입력 단자에 접속되는 전극과 교차하는 것을 특징으로 하는 회합물 반도체 스위치 회로 장치.

공개특허 2002-0093613

도면 1



도면 2



도면들

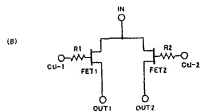
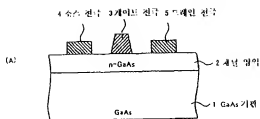
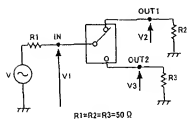
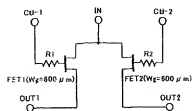


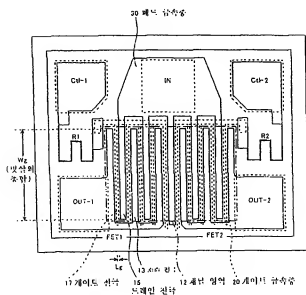
Figure 1



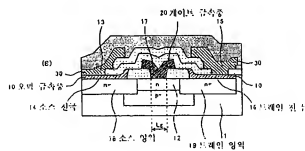
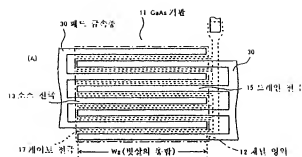
도면 7



도면 8



도면 9



도면 10

